

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-249660

(43)Date of publication of application : 26.09.1995

(51)Int.Cl.

H01L 21/66
G01R 1/073
G01R 31/26

(21)Application number : 06-039585

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.03.1994

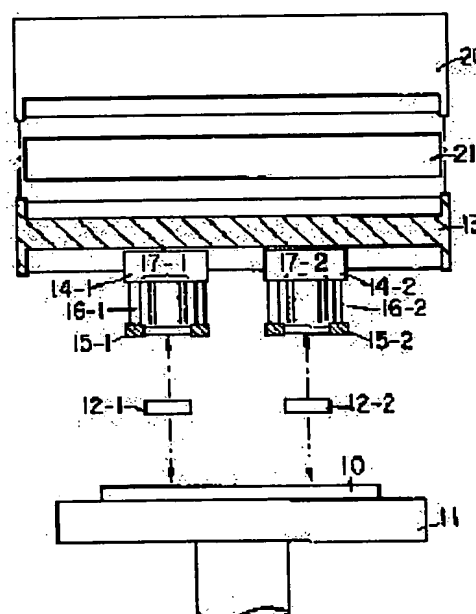
(72)Inventor : MOMOHARA TOMOYOSHI

(54) PROBING DEVICE AND PROBING METHOD

(57)Abstract:

PURPOSE: To reduce cost and to improve processing ability by inspecting a plurality of chips on one wafer at once by two or more probe cards.

CONSTITUTION: A wafer chuck 11 for holding one semiconductor wafer 10 is provided and a card holding part 13 for holding two probe cards 12-1, 12-2 is provided above the chuck 11. Attaching parts 14-1, 14-2 are provided with an insert ring 15-1 for mounting the card 12-1 and an insert ring 15-2 for mounting the card 12-2. The attaching parts 14-1, 14-2 are provided with pin groups 17-1, 17-2 in electrical contact with terminals of the cards 12-1, 12-2. One wiring substrate 21 is inserted between the holding part 13 and a measurement part body 20, and the wiring substrate 21 electrically connects the pin groups 17-1, 17-2 and the measurement part body 20 mutually. The wiring substrate 21 can be replaced with another one of another wiring pattern and can correspond to LSI chips of a wide variety of types.



LEGAL STATUS

[Date of request for examination] 13.10.1997

[Date of sending the examiner's decision of rejection] 09.10.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3293995

[Date of registration] 05.04.2002

[Number of appeal against examiner's decision of 2001-20097]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-249660

(43) 公開日 平成7年(1995)9月26日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/66	B	7630-4M		
G 0 1 R 1/073	E			
31/26	J			

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号 特願平6-39585

(22) 出願日 平成6年(1994)3月10日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 桃原 朋美

神奈川県川崎市幸区堀川町72番地 株式会

社東芝堀川町工場内

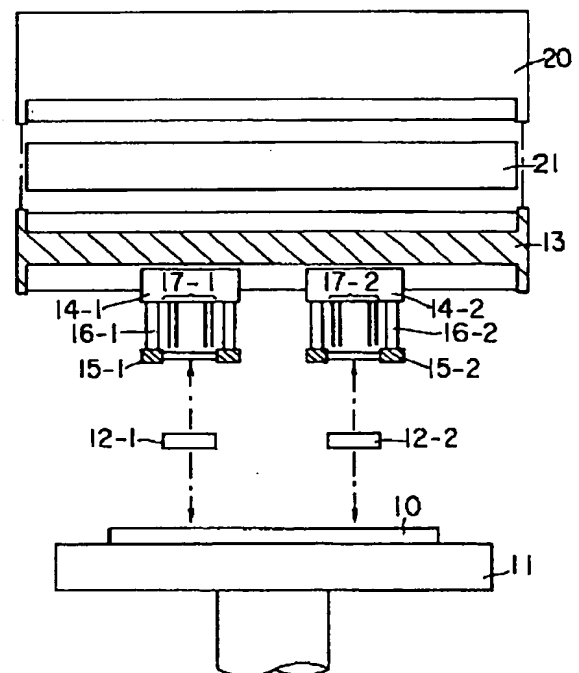
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 ブローピング装置およびブローピング方法

(57) 【要約】

【目的】 この発明は、廉価、かつ処理能力の高いブローピング装置およびブローピング方法を提供しようとするものである。

【構成】 一枚のウェーハを保持するウェーハチャックと、二枚以上のプローブカードを保持するプローブカード保持部とを具備する。そして、二枚以上のプローブカードがそれぞれ有する各探針部を、チップの外部端子部に各々当接させ、一枚のウェーハ中のチップを複数個同時に、二枚以上のプローブカードにより検査する検査部を、さらに具備することを特徴としている。この構成であると、一枚のウェーハを、二枚以上のプローブカードにより検査するので、同時に検査できるチップ数を増加できる。このため、処理時間の短縮が図られ、処理能力が向上する。また、テストステーション数を増やさなくても、処理能力が向上するので、処理能力対価格費が良好となる。



1

【特許請求の範囲】

【請求項 1】 行列状に集積回路チップが形成された一枚の半導体ウェーハを保持するウェーハ保持手段と、二枚以上のプローブカードを保持するプローブカード保持手段と、

前記二枚以上のプローブカードがそれぞれ有する各探針を、前記チップの外部端子に各々当接させ、一枚のウェーハ中のチップを複数個同時に、二枚以上のプローブカードにより検査する検査手段とを具備することを特徴とするプロービング装置。

【請求項 2】 前記プローブカード保持手段は、各プローブカードをそれぞれ独立して、X方向、Y方向、 θ 方向の位置調節を行うことを特徴とする請求項 1 に記載のプロービング装置。

【請求項 3】 行列状に集積回路チップが形成された一枚の半導体ウェーハをウェーハ保持手段に保持し、二枚以上のプローブカードをプローブカード保持手段に保持し、前記二枚以上のプローブカードがそれぞれ有する各探針を、前記チップの外部端子に各々当接させ、一枚のウェーハ中のチップを複数個同時に、二枚以上のプローブカードにより検査することを特徴とするプロービング方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、プロービング装置およびプロービング方法に係わり、特に複数個のチップを同時に検査するのに有用なプロービング装置およびプロービング方法に関する。

【0002】

【従来の技術】 近時、一枚のウェーハ当りのチップ収量を増加させるために、ウェーハ口径が、長大化しつつある。さらに半導体集積回路、特にDRAM、EEPROMなど、半導体記憶装置の記憶容量は増加の一途を辿り、それに伴って、一個のチップの検査に要する時間も長くなりつつあり、チップ検査に要する時間は、相当の長時間化が進んでいる。

【0003】 このような状況の中、プローブ検査では、処理時間の短縮を狙って、1回の検査で複数のチップを同時に測定する、マルチプロービング方式が導入されつつある。

【0004】 図7は、マルチプロービング方式に用いられるプローブカードの概略的な平面図である。図7に示すように、従来、一つであったプローブカード100の探針群を、参照符号101-1、101-2に示されるように複数個（図では2個であるが、4個、8個などもある）とし、一枚のプローブカードで、複数のチップを一度に検査、処理できるようにしている。

【0005】 しかしながら、チップ機能の複雑化に伴い、チップの外部端子数も増加する傾向にあり、一枚の

2

カードに装着できる探針数も限界に近付きつつある。即ち、マルチプロービング方式では、これ以上の処理能力向上は、望みにくくなりつつある。

【0006】 上記の処理能力を改善するために、従来、一つであったテストステーションを、複数台設けるマルチテストステーション方式も導入されつつある。図8は、マルチテストステーション方式の基本的な構成図である。

【0007】 図8に示すように、一つのテストステーション200は、一枚のウェーハ201を保持するウェーハチャック202と、一枚のプローブカード203と、このカードを保持する保持部204とからなる。このようなテストステーション200を、測定装置本体205に複数接続することで、複数のウェーハを一度に処理する。

【0008】 この種の装置では、テストステーション数が増えるので、同時測定できるチップ数が増加するが、テストステーション数が増えるために装置が高額となり、処理能力対価格費が、必ずしも良好とはいえない。

【0009】

【発明が解決しようとする課題】 上述したように、従来のプロービング装置では、チップの外部端子数の増加に伴い、一枚のカードに装着できる探針数が限界に達し、一枚のプローブカードで、同時測定できるチップ数の増加が、これ以上見込めない、という問題がある。

【0010】 さらに、マルチテストステーション方式のプロービング装置では、処理能力は向上するが装置が高額となり、処理能力対価格費が良好でない、という問題がある。この発明は、廉価、かつ処理能力の高いプロービング装置およびプロービング方法を提供することにある。

【0011】

【課題を解決するための手段】 上記目的を達成するために、この発明の一態様では、行列状に集積回路チップが形成された一枚の半導体ウェーハを保持するウェーハ保持手段と、二枚以上のプローブカードを保持するプローブカード保持手段とを具備し、前記二枚以上のプローブカードがそれぞれ有する各探針部を、前記チップの外部端子部に各々当接させ、一枚のウェーハ中のチップを複数個同時に、二枚以上のプローブカードにより検査することを特徴としている。

【0012】 また、他の態様では、プローブカード保持手段が、各プローブカードの位置をそれぞれ独立して、X方向、Y方向、 θ 方向の調節を行うことを特徴としている。

【0013】

【作用】 上記構成のプロービング装置およびプロービング方法では、一枚のウェーハを、二枚以上のプローブカードにより検査するようにしているので、カードに装着できる探針数の制約を受けたとしても、同時に検査できるチップ数を増加できる。このため、処理時間の短縮が

3

図られ、処理能力が向上する。

【0014】また、上記構成の装置では、テストステーションを増加させたとしても、従来のマルチテストステーション方式の装置に比べて同時に検査できるチップ数を増加できるため、処理能力対価格費も良好となる。

【0015】また、プローブカード保持手段が各プローブカードをそれぞれ独立して、X方向、Y方向、 θ 方向の位置調節を行うようにすることで、各プローブカード毎に、微調整が可能となり、端子部とチップの外部端子とのアライメントを、高精度に行うことができる。

【0016】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1は、この発明の一実施例に係るプロービング装置の構成図である。まず、装置の構造について説明する。

【0017】図1に示すように、一枚の半導体ウェーハ10を保持するウェーハチャック11があり、このチャック11の上方には、二枚のプローブカード12-1、12-2を保持するカード保持部13が設けられている。カード保持部13のチャック11に向かう位置には、保持部13に対し、X方向、Y方向にそれぞれ独立して移動できるように、二つのカード取付部14-1、14-2が取り付けられている。さらに取付部14-1、14-2には、カード12-1を装着するインサートリング15-1、並びにカード12-2を装着するためのインサートリング15-2が設けられている。インサートリング15-1、15-2はそれぞれ、支持柱16-1、支持柱16-2によって取付部14-1、14-2に取り付けられ、かつ取付部14-1、14-2に対して θ 方向に移動（回転）できる。取付部14-1、14-2には、カード12-1、12-2の端子に電氣的に接触されるピン群17-1、17-2が設けられている。さらに、保持部13と測定部本体20との間には、一枚の配線基板21が挿入されていて、この配線基板21は、ピン群17-1、17-2と測定部本体20とを互いに電氣的に接続させる。配線基板21は、他の配線パターンのものと取り換えることが可能で、これにより、一台のプロービング装置で、様々な形式のLSIチップに対応できるようになっている。

【0018】次に、上記装置によるプロービング方法について説明する。まず、配線基板21を保持部13と測定部本体20との間に挿入し、保持部13と測定部本体20とを電氣的に接続する。次いで、カード12-1、12-2をそれぞれ、インサートリング15-1、15-2に装着する。次いで、インサートリング15-1と15-2とのピッチDを、取付部14-1、14-2をX方向、Y方向に動かしながら、測定すべきウェーハ10のチップ配置パターンに合わせて調節する。図2には、ピッチDとチップ配置パターンとの関係の一例が示されている。

【0019】図2に示すように、カード12-1、12-2の中心部分にはそれぞれ、一つの開孔部30-1、30-2

4

が設けられている。カード12-1、12-2上に設けられた探針群31-1、31-2はそれぞれ、これらの開孔部30-1、30-2から突出され、これらの突出部分が、チップの外部端子（パッド）に電氣的に接触される。ここで、この実施例においては、開孔部30-1、30-2の中心点間の距離をピッチDと定義するとともに、開孔部30-1、30-2の中心点は、チップの中心点に符合するものと仮定する。ウェーハ10内には、チップc13～c16、c22～c27、c31～c38、c41～c48、c51～c58、c61～c68、c72～c77、c83～c86が行列状に集積形成されている。この実施例に係る装置は、集積されたチップ群を、行又は列の半分を示す線Cを境として二つの区域A-1、A-2にそれぞれ分けて認識する。そして、装置は、区域A-1に形成されたチップc13～c16、c22～c27、c31～c38、c41～c48をカード12-1を用い、また、区域A-2に形成されたチップc51～c58、c61～c68、c72～c77、c83～c86をカード12-2を用いてそれぞれ同時に測定する。このような測定方法を実現するために、この実施例では、上記ピッチDが、チップ群の最大幅Dcのほぼ半分に設定される。

【0020】次いで、ウェーハ10をチャック11に固定する。次いで、チャック11を、図2に示すX方向、Y方向、 θ 方向に動かしながら、ウェーハ10を保持部13下に移動させる。次いで、カード取付部14-1、14-2、およびインサートリング15-1、15-2を、図2に示すX方向、Y方向、 θ 方向に動かしながら、カード12-1、12-2の位置をそれぞれ、個々に微調整する。この後、チャック11をZ方向（紙面に対して垂直な方向）に動かし、カード12-1、12-2がそれぞれ有する探針群31-1、31-2をそれぞれ、対応するチップの図示せぬ外部端子に各々当接させる。次いで、測定部本体より、テストパターン信号を、配線基板21、プローブカード12-1を介して、ウェーハ10のあるチップに供給するとともに、配線基板21、プローブカード12-2を介して、ウェーハ10の他のチップに同時に入力する。あるチップ、他のチップはともに、テストパターン信号に応じた信号を出力する。あるチップから出力された信号はプローブカード12-1、配線基板21を介して、また、他のチップから出力された信号はプローブカード12-2、配線基板21を介して測定部本体20に戻され、この本体20内に設けられた検査結果判定装置により、これらのチップが正しい出力をしたか否かが判断される。

【0021】このような動作を、図3あるいは図4に示すような動き、即ちステップ・アンド・リピート方式の動きにより順次繰り返す。図3および図4には、丸枠中に数字が付されているが、この数字は、測定の順番を示している。また、小さい丸枠は、対応するチップが無い部分であり、この部分ではチップからの出力が無い。二つのチップからの同時出力が有る検査ステップは、図3

に示す例では、第3回目が最初である。第3回目の検査ステップにおいては、出力は、図2に示すチップc13とチップc53とから、同時に出る。同様に図4に示す例では、第6回目が最初である。第6回目の検査ステップにおいては、出力は、図2に示すチップc32とチップc72とから、同時に出る。

【0022】図3および図4に示す例では、全チップ数が52個であるが、二枚のカード12-1、12-2を用いてプロービングすることにより、ともに32回の検査ステップで、ウェーハ10に集積形成されているチップ52個が全て検査される。

【0023】次に、装置のシステム構成とその動作について説明する。図5は、この発明の一実施例に係るプロービング装置が有するシステムの構成図である。

【0024】図5に示すように、測定部本体20内には、システムの制御を行う制御装置40が設けられている。制御装置40は、テストパターン信号発生装置41、検査結果判定装置42、二枚のカード12-1、12-2毎に設けられたチップドライバ回路43-1、43-2、並びにレジスタ回路44-1、44-2、二つのレジスタ回路44-1、44-2から出力された信号をマルチプレクスするマルチプレクサ45をそれぞれ、動作タイミングに合わせて制御する。

【0025】まず、外部からの測定開始信号S1の入力により、制御装置40が活性化し、制御装置40は、発生装置41に制御信号S2、チップドライバ回路43-1、43-2を活性化させる信号S3-1、判定装置42を活性化させる信号S3-2をそれぞれ出力する。発生装置41に制御信号S2が入力されると、発生装置41はテストパターン信号S4を出力する。この信号S4は途中の分岐部46にて二つに分岐され、二つのチップドライバ回路43-1、43-2にほぼ同時刻に入力される。チップドライバ回路43-1、43-2はそれぞれ、あるチップc-1、他のチップc-2をそれぞれドライブさせる回路である。ドライバ回路43-1、43-2は、チップc-1、c-2にそれぞれ動作電源を与えたり、あるいはテストパターン信号S4の供給タイミングを調節したりする。ドライバ回路43-1、43-2から出力されたテストパターン信号S4は、回路基板21、カード12-1、12-2を介してチップc-1、c-2に供給される。チップc-1、c-2は、テストパターン信号S4の入力を受けて、この入力に対応したチップ出力信号S5-1、S5-2をそれぞれ出力する。チップ出力信号S5-1は、カード12-1、回路基板21を介してレジスタ44-1に一旦格納される。ほぼ同時刻に、チップ出力信号S5-2は、カード12-2、回路基板21を介してレジスタ44-2に一旦格納される。このようにチップ出力信号S5-1、S5-2をレジスタ44-1、44-2に格納するのは、チップc-1、c-2のチップ出力信号のうち、どちらか一方を優先させるためである。ここで、チップc-1からの出力信号S5-1を優

先させる場合には、制御装置40は、レジスタ44-1に格納データを出力させるように指示する信号S6-1を出力するとともに、マルチプレクサ45に、バス47-1を選択する信号S7を供給する。これにより、レジスタ44-1に格納されていたチップc-1からの出力信号S5-1が出力され、マルチプレクサ45を介して判定装置42に入力される。そして、検査結果に基づき、判定装置42は、良品、不良品いずれかの信号S8を出力する。このような動作の間、他方のレジスタ44-2には、チップc-2からの出力信号S5-2が格納され続けている。判定装置42は、チップc-1の検査が終了すると、これを知らせる信号S9を制御装置40に出力する。制御装置40は、この信号S9に基づき、制御装置40は、今度はレジスタ44-2に格納データを出力させるように指示する信号S6-2を供給するとともに、マルチプレクサ45に、バス47-2を選択する信号（これは信号S7の反転信号）を供給する。これにより、レジスタ44-2に格納されていたチップc-2からの出力信号S5-2が出力され、マルチプレクサ45を介して判定装置42に入力される。そして、検査結果に基づき、チップc-1の時と同様、良品、不良品いずれかの信号S8を出力する。二つのチップc-1、c-2の検査がそれぞれ終了したら、再度、制御装置40は、上記の動作を繰り返す。

【0026】この実施例では、チップ出力をマルチプレクサ45により処理したが、他の方法として、レジスタ44-1および44-2を直接に判定装置42に接続し、二枚のカードを介してのチップ良否判定を同時に、判定装置42によって行うようにしても良い。

【0027】上記一実施例に係るプロービング装置では、一枚のウェーハを、二枚以上のプローブカードを用いて、同時に検査するようにしているので、同時に検査できるチップ数が増加する。このため、一枚のウェーハ当りの処理時間が短縮され、時間当りのウェーハ処理能力が向上する。この効果は、特に大口径化され、集積チップ数が増加されたウェーハにおいて、顕著に得ることができる。

【0028】上記一実施例は、一枚のプローブカード当り、探針部が一つ設けられた例を示したが、図6に示すように複数のチップを同時に検査できるように、探針部を複数設けた、マルチプロービング方式とされても良い。この場合、カードが、探針数の制約を受けていたとしても、二枚のプローブカードが用いられるから、処理能力がほぼ2倍に向上する。

【0029】また、上記一実施例では、テストステーションが一台の例を説明した。テストステーションが一台の場合には、工場内における装置の占有スペースが、従来のテストステーションが一台のものとはほとんど変わらず、処理能力がほぼ2倍に向上する。

【0030】また、この発明は、複数のテストステーションを設けたマルチテストステーション方式とされても

7

良い。マルチテストステーション方式の装置では装置が高額なため、処理能力対価格費が必ずしも良好ではなかったが、上記一実施例をマルチテストステーション方式とした場合には、同時に処理できるチップ数がさらに増加するために、従来に比べて、処理能力対価格費を良好とできる。

【0031】上記一実施例に係る装置では、取付部14-1、14-2が各々独立してX方向、Y方向に動けるので、径の違うウェーハや集積形成されたLSIチップの大きさなどに合わせ、カードピッチDを調節することができる。さらに、上記の動きの他、インサートリング15-1、15-2が各々独立してθ方向に動けるために、カード12-1、12-2を個々に、チップ（あるいはウェーハ）に対してアライメントできる。このために、マルチプロービング方式のカードに比べ、アライメント精度が向上する。例えば四個、八個など多数のチップを同時に測定するマルチプロービング方式のカードでは、カード径が大きいために、カード自体の変形や、取り付け時などの傾きなどにより、大きな探針位置誤差、あるいは取付誤差を生ずることがある。しかし、上記一実施例のように、カードを同時に二枚、あるいは四枚など使い、処理能力を劣さずにチップ四個、八個同時に測定したとしても、カード径を小さくできるために、まず、探針位置誤差、あるいは取付誤差を軽減することができる。しかも、カードが個々にチップ（あるいはウェーハ）に対してアライメントされるから、上記各誤差は、容易に補正できる。このようなプロービング装置のアライメント精度向上は、外部端子ピッチが縮小化されているチップのプロービングに、特に有用である。

【0032】また、一実施例に係る装置では、集積されたチップ群を、行又は列の半分を示す線を境として、二つの区域A-1、A-2に分割して認識し、各区域A-1、A-2毎に一枚のカードを用いて、それぞれ同時に検査する。このように分割して検査することで、チップを重複して測定することが無くなり、処理効率が向上する。

【0033】さらに、上記一実施例に係る装置では、一つのテストパターン発生装置から出力されたテストパターンを複数に分岐することで、同時に複数のチップドライバ回路に供給し、複数のチップドライバ回路によって、複数のチップにほぼ同時にテストパターンを入力し、さらに複数のレジスタを設け、これらのレジスタにそれぞれ、各チップから出力された信号を一旦格納するようにしている。そして、優先順位に応じて、レジスタ

8

に格納された信号を取り出し、判定装置に送るようにしている。このような構成は、判定装置が一度に、相当数のチップからの信号を並列して処理できる場合には必要ないが、判定装置が一度に、例えば一つのチップからの信号しか処理できない場合には、テストパターン発生～テストパターン送信～出力信号受信～テストパターン発生～テストパターン送信～出力信号受信～…、というように発生、送信、受信を繰り返さずに済ませることができ、トータルの処理時間を短縮することができる。このような図4中一点鎖線枠50に示されるシステムを、テストヘッドと測定部本体との間に組み込む、あるいはオプションとしてのインターフェース装置とすれば、既存の測定部本体をそのままに使うこともでき、巨額な設備投資を節約できる、という利点をも生む。

【0034】

【発明の効果】以上説明したように、この発明によれば、廉価、かつ処理能力の高いプロービング装置およびプロービング方法を提供できる。

【図面の簡単な説明】

【図1】図1はこの発明の一実施例に係るプロービング装置の構成図。

【図2】図2はプローブカードとウェーハとの位置関係を示す図。

【図3】図3は測定の順番を説明するための図。

【図4】図4は測定の順番を説明するための図。

【図5】図5はこの発明の一実施例に係るプロービング装置が有するシステムの構成図。

【図6】図6はこの発明をマルチプロービング方式のカードにより実施した場合を示す図。

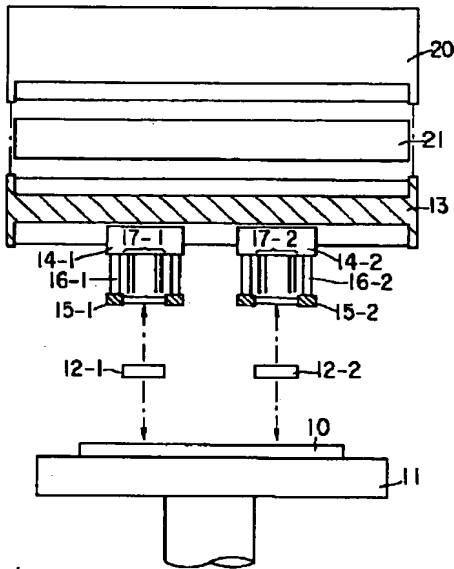
【図7】図7はマルチプロービング方式に用いられるプローブカードの平面図。

【図8】図8はマルチテストステーション方式のプロービング装置の構成図。

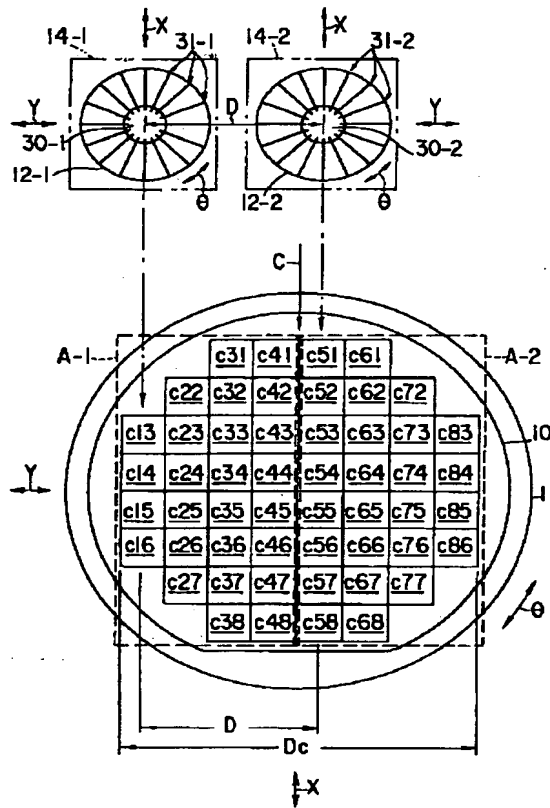
【符号の説明】

10…ウェーハ、11…ウェーハチャック、12-1、12-2…プローブカード、13…カード保持部、14-1、14-2…カード取付部、15-1、15-2…インサートリング、20…測定部本体、21…回路基板、30-1、30-2…開孔部、31-1、31-2…探針群、40…制御装置、41…テストパターン発生装置、42…検査結果判定装置、43-1、43-2…チップドライバ回路、44-1、44-2…レジスタ、45…マルチプレクサ、46…分岐部。

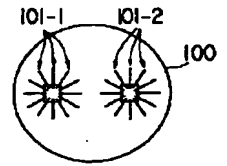
【図 1】



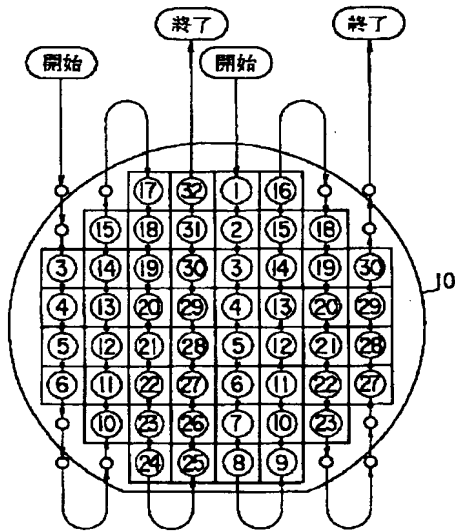
【図 2】



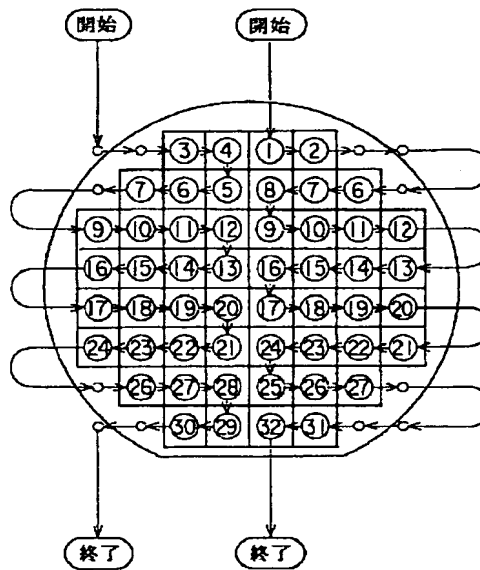
【図 7】



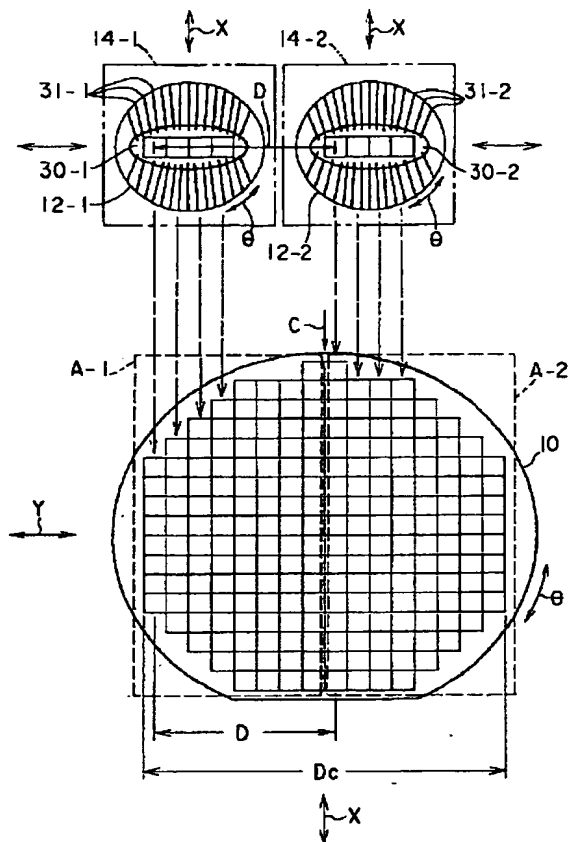
【図 3】



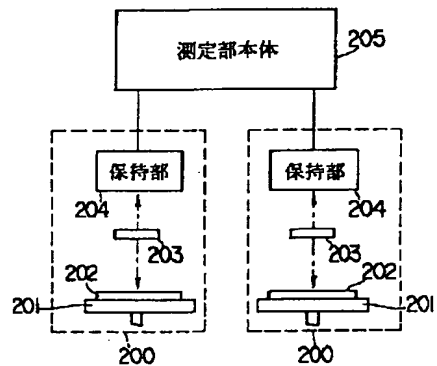
【図 4】



【图 6】



【图 8】



THIS PAGE BLANK (USPTO)